

# 数字电路时序老化效应分析

## 使用背景

伴随着5G、云计算等大数据时代的到来，芯片可靠性越来越受到设计公司的重视。尤其对网络、车载及其他高可靠性相关领域，对芯片设计的可靠性有着更高要求。其中老化效应是影响芯片能否长期稳定工作的重要因素之一。

目前模拟电路设计可以基于post-layout SPICE及foundry提供的aging model对电路进行老化仿真。但数字电路由于规模较大，很难对全芯片进行老化仿真分析。常规的做法是将仿真范围缩小到关键时序路径上。仅对时序路径进行仿真分析，这样就可以基于有限的仿真量来分析老化效应对数字电路的影响了。

## 老化效应对数字芯片的影响

晶体管的老化，主要有以下几种效应：

### ◆ BTI (bias temperature instability)

- 主要出现在Pmosfet的反型工作状态；
- 相对于源漏、衬底的负栅压，越负引起退化越严重；
- $V_{th}$ ,  $G_m$ ,  $I_{dlin}$ ,  $I_{dsat}$ 等随NBTI时间漂移引起的不稳定性；
- 更高的偏压和温度对晶体管产生越严重的影响；

### ◆ HCI (hot carrier injection)

- MOSFET在导通和关断瞬间，阈值电压的偏移导致器件性能的衰退；

### ◆ EM (electron migration), TDDDB (time-depended dielectric breakdown)

- EM和TDDDB均属于长时间工作引起的随机崩溃性器件失效现象；

对于数字芯片，晶体管的老化效应主要考虑的是NBTI(Negative Bias Temperature Instability)负偏置温度不稳定性和HCI(Hot Carrier Injection)热载流子注入。NBTI主要受数字时序信号占空比(SP, Signal Probability)影响。HCI主要受数字时序中的信号翻转率(SA, SwitchActivity)的影响。数字芯片的老化，主要体现是随着工作年限的增加，芯片性能的衰退，达不到预期的工作频率。

## 时序老化效应分析方案

基于MOS管老化效应以及数字芯片工作条件，老化分析时主要考虑如下四种因素：

- PVT
- 老化时间
- 周期占空比
- 信号翻转概率

华大九天推出的ICEplorer-XTime工具可以提供老化仿真分析解决方案，对数字电路芯片因老化效应引起时序退化做True SPICE仿真分析，精准分析出老化后芯片的工作频率，为设计提供golden的Aging-Timing sign-off。

老化仿真分析需要的输入文件如下:

文件类型	文件描述
Verilog file	Design data
Timing library file	(.lib) file from foundry
SPEF file	RC parasitic file
SPICE subckt file	Post-layout netlist of stand cells, from foundry
SPICE Aging model	Aging SPICE model from foundry
Timing data	Timing path report/constrain file from STA
IR-drop file	IR-drop files (optional)
PG-arc lib	PG arc file of stand cells (optional, only for multiple-voltage design)

仿真分析的流程如下:



## 项目应用实例

对一组关键时序路径进行老化分析,老化年限分析的是10年。这里为了便于分析,取SS工艺,温度保持不变,观察不同电压及不同占空比波形对芯片性能衰退的影响。

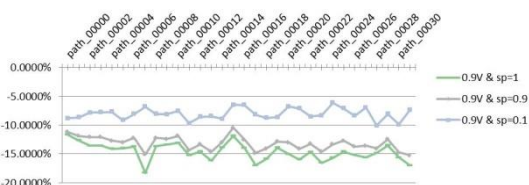


图1: 相同电压, 不同占空比, 老化后工作频率的衰退情况

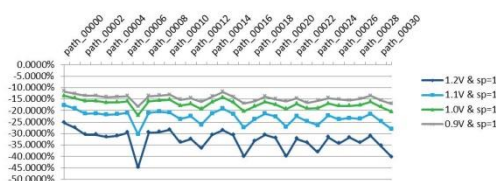


图2: 不同电压, 相同占空比, 老化工作频率的衰退情况

## 结尾语

综上所述, 针对数字芯片设计, 我们可以对时序路径进行老化效应仿真分析, 这样有助于提高芯片的可靠性。华大九天推出的高精度时序仿真分析工具ICExplorer-XTime, 其老化分析功能结合了老化机理及影响老化的各因素, 针对数字芯片设计, 提供了True SPICE仿真分析。在具体分析时, 还会考虑到更多的细节因素, 例如不同阶段采用不同stress条件、信号翻转率、时钟门控结构等对电路老化的影响。ICExplorer-XTime提供了完整的老化分析解决方案, 为时序签核提供了保障